

# 行政院國家科學委員會專題研究計畫 成果報告

## 寬頻無線區域網路直接降頻射頻接收器研究(1)

計畫類別：個別型計畫

計畫編號：NSC92-2213-E-216-008-

執行期間：92年08月01日至93年07月31日

執行單位：中華大學電機工程研究所

計畫主持人：田慶誠

報告類型：精簡報告

處理方式：本計畫涉及專利或其他智慧財產權，1年後可公開查詢

中 華 民 國 93 年 12 月 6 日

# 行政院國家科學委員會補助專題研究計畫成果報告

## 寬頻無線區域網路直接降頻射頻接收器研究

計畫類別： 個別型計畫          整合型計畫

計畫編號：NSC 92-2213-E-216-008

執行期間：92 年 8 月 1 日至 93 年 7 月 31 日

計畫主持人：田慶誠

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)： 精簡報告          完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：中華大學電機研究所

中 華 民 國 九 十 三 年 十 月 三 十 一 日

## 一、研究計畫中英文摘要：

### 中文摘要

隨著業界無線寬頻新技術的湧現，在無需執照的5GHz 頻段上工作的晶片組可使無線傳送的數據速率高達54Mbps。包括美國、歐洲和日本的標準化組織已經制定了若干標準，其中包括IEEE 802.11a、歐洲電訊標準化協會(ETSI)的Hiperlan2 以及MMAC 無線乙太網路標準。這些標準推進了在5.15 至5.825GHz 頻段進行高速數據傳輸的發展。

本計劃因此針對未來市場所需 5GHz 寬頻無線區域網路射頻接收機的電路架構進行研究及設計製作，目標著眼於開發直接降頻的射頻接收機 CMOS 積體電路，以期達到面積縮小、週邊外接元件減少的功能，降低射頻積體電路的製作成本。計劃工作時程共分為兩年，第一年的工作目標在於規劃直接降頻接收機的電路架構、系統規格及各子電路的設計製作。其中子電路設計包括了低雜訊放大器、本地振盪器、頻率合成器、混頻器、通道及抗偽頻濾波器、可變增益放大器等電路的設計。第二年的工作目標在於整合第一年設計的各子電路，建構一積體化的直接降頻接收機。期能將研究的成果與業界實際市場規劃及技術需求相結合，也因此訓練研究生較為實務的設計經驗，替國家通訊產業的人才培育進一份力量。

關鍵字：802.11a、寬頻、無線區域網路、射頻、接收機、直接降頻。

### Abstract

According to the progress of broadband wireless communication technology, the 54Mbps high data rate transmission is now available in 5GHz unlicensed frequency band. Many standards have been established for the 5GHz WLAN application, for examples, the IEEE 802.11a in North America, the ETSI HIPERLAN 2 in Europe and MMAC wireless Ethernet in Japan. Those applications operate in the frequency band from 5.15GHz to 5.825 GHz.

This project therefore will base on the research of broadband WLAN RF receiver topology in 5GHz applications. The main target of this project is focused on the invitation of a direct-conversion RF CMOS receiver. We expect that the new receiver architecture would reduce the area of integrated circuits and the number of off-chip external components in order to minimize the production cost of RF receiver circuits. The schedule of project contains the two-year planning. In the first year, the main tasks are on the planning the direct-conversion receiver architecture, deciding system specifications and designing the sub-circuits of receiver. The sub-circuits of receiver should include LNA, LO, synthesizer, mixer, channel /anti-aliasing filter and programmable gain amplifier. In the second year, we would focus the final target on the integration of the receiver sub-circuits designed in the first-year project. The research results of this RF receiver IC could agree with the need of urgent industrial applications. In the other hands, this project would provide the circuit design trainings and practical production experiences to the graduated students who joint this work. It is just consistent to the government policy of nurturing the wireless communication engineers in the future national telecommunication constructions.

Key words: 802.11a, broadband, WLAN, RF, receiver, direct conversion

## 二、研究目的

本子計畫針對無線區域網路在U-NII 5GHz band所用的RF receiver subsystem進行研究，主要目標在以兩年的時程開發前瞻性的single chip direct conversion receiver CMOS RFIC。研究的方向首先設定在system specification的規劃、system frequency planning、system link budget analysis、system cascaded noise and nonlinearity estimations，並經過重複的驗證步驟訂定receiver各子電路的電氣規格。

除了完成Direct conversion receiver的系統規劃工作外，將針對每個子電路如LNA, quadrature mixer combined with I-Q demodulator, VCO, frequency synthesizer, channel/anti-aliasing filter, programmable gain amplifier進行設計。

## 三、研究方法與文獻探討

對於LNA的設計，傳統架構不外乎使用source inductor feedback cascode amplifier，同時達到broadband input matching and reduce noise figure (NF)的功用，一方面使LNA前端的filter的pass-band insertion loss and stop-band rejection rate得以維持，另一方面可以兼顧noise figure的控制。除了noise figure需降低，IM2的降低或 $P_{IP2}$ 的提高更是系統抵抗in-band blocking signal干擾的重要指標。此外，目前許多家公司所開發出的RF front-end IC多半以differential LNA input為主，必須外加balun才能與前端filter and antenna電路銜接，接近2dB額外的insertion loss因而產生，亦即讓system noise figure直接增加2dB。網卡設計廠商不得不在balun前端加掛一顆high performance LNA (e.g. HEMT LNA)，以維持系統的noise figure。有鑑於此，本計劃希望能將接收機的LNA設計成single-ended input and differential output的架構，以解決系統銜接上所常發生的問題。

I-Q demodulator的設計首先要求 I, Q mixer IM2的降低或 $P_{IP2}$ 的提高以抵抗in-band blocking signal干擾，進而要求noise figure的降低。I-Q generator的設計則要考慮製程偏差所造成I-Q phase and gain imbalance的產生率及對解調信號constellation位置的影響。

VCO的設計則要考慮U-NII and ETSI band width的使用寬度，靠varactor diode或MOS電容改變所產生的frequency range通常無法達到U-NII所需的675MHz bandwidth，如何利用數位控制的switch切換不同的電容值，達成切換不同頻帶(e.g. 5.15-5.35, 5.35-5.725, 5.725-5.825)的功能將是設計的重要考量。此外，降低VCO output phase noise也是一重要的工作。

Synthesizer的設計首要在於與VCO相連接的5GHz prescaler，利用高速的source coupled pair架構設計類比除法器，將是子電路設計的研究重點。再者，charge pump的電路架構對於phase comparator所產生的narrow pulse要能精確轉換成短脈衝電流，才不致於在頻率即將鎖定時產生偏差，造成VCO output frequency offset or phase noise的增加。Loop filter 的設計則在於loop bandwidth (e.g. 15KHz), phase margin與output phase noise level, settling time等參數的trade off。

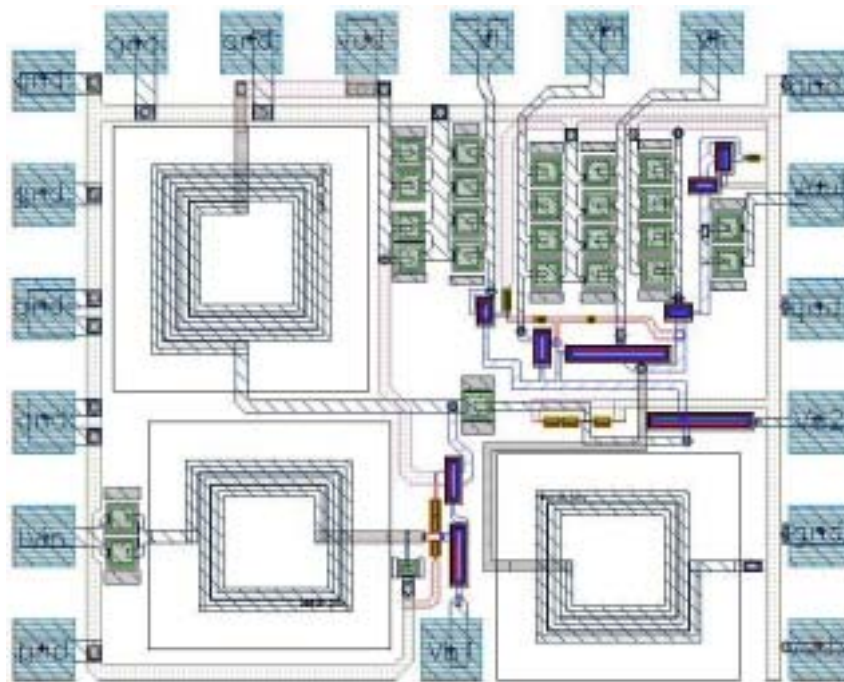
標準的802.11a baseband頻寬為10MHz左右，在RF信號經mixer降頻至baseband時必須接上一10MHz channel selection / anti-aliasing filter，以濾除10MHz以上由其他channel同時降頻下來的信號。此外，A/D的基本sampling frequency為20Msps，若baseband system採用over sampling technique，則A/D的sampling frequency為40Msps or 80Msps。由基本的sampling theory可知位於每個sampling frequency及倍頻附近的信號(alias signal)會被擷取成為資料的一部份，因此在A/D輸入之前應將alias signal進行足夠的衰減。此低通濾波器的設計規格則是將corner frequency定在所需channel bandwidth，將loss pole定在sampling frequency，以達

到最佳anti-aliasing效果。Filter電路架構可選擇Switched Capacitor Filter (SCF) or Operational Transconductance Amplifier-Capacitor Filter (OTA-C), 以實現CMOS積體化的baseband濾波器電路架構。

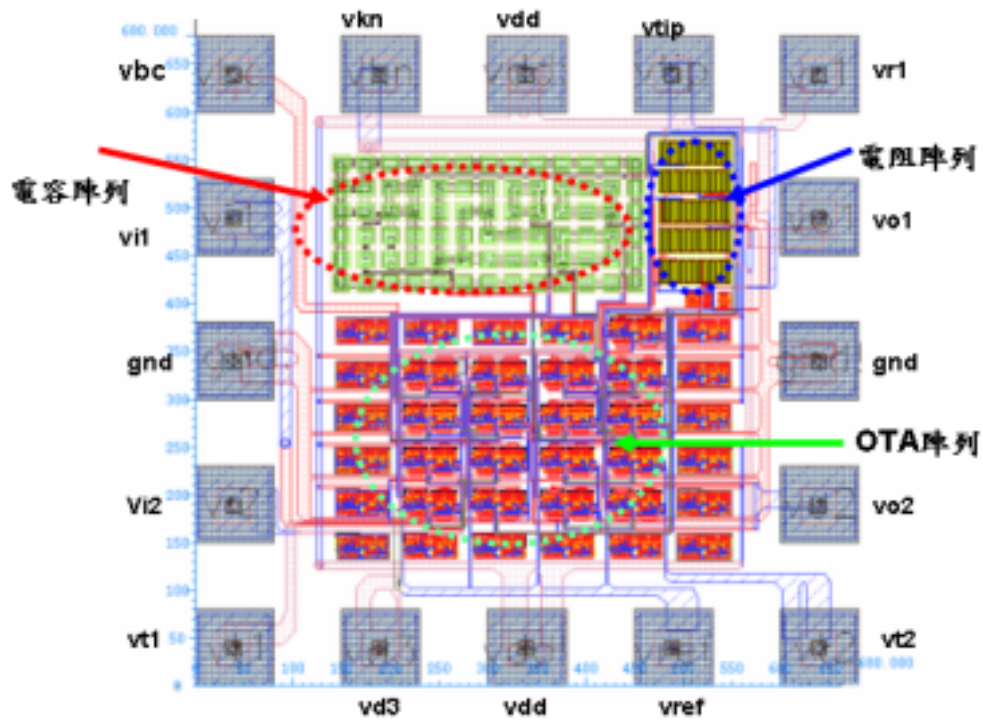
由於天線所接收的信號可從-70dBm至-15dBm (e.g. for 64QAM), 55dB的dynamic range需要一baseband programmable gain amplifier (PGA)來達成, 以CMOS電路架構而言output current combination circuits比較容易實現, 利用數位的方式控制  $I_0, 2I_0, 4I_0, 8I_0, \dots, 2^{N-1}I_0$  輸出的開或關, 即可建構一N-bit的PGA。但是電流輸出範圍要考慮到A/D的輸入阻抗(e.g. 1.5K $\Omega$ ), 將電流轉換成A/D所能接受的輸入電壓範圍。

#### 四、結果與討論

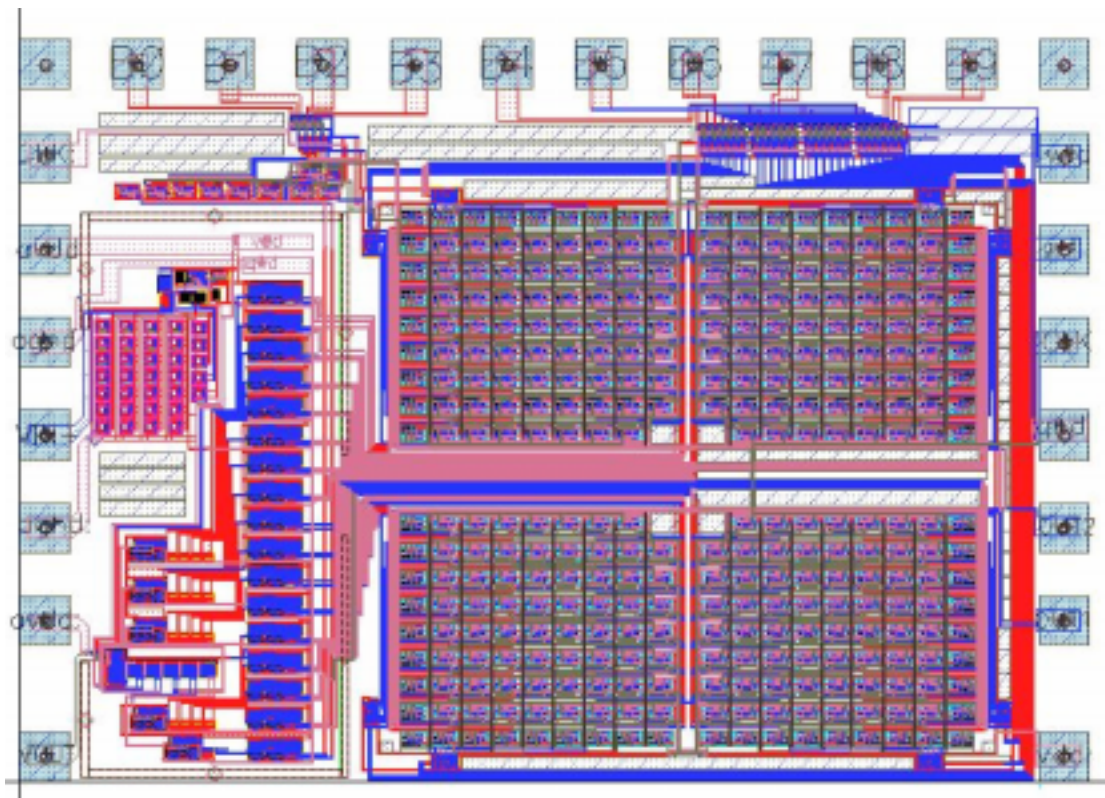
本計劃於2001年開始著手進行802.11a 5GHz RF CMOS transceiver and ADC/ DAC的電路設計工作, 2002年底初步完成LNA, mixer, VCO電路的設計和模擬工作, 並於2003年3-5月至CIC完成下線。三個電路均採取differential I/O, 100 $\Omega$ 輸入輸出阻抗匹配。2003年8月初步完成160MHz 10bit DAC and 8MHz Gm-C active LPF的電路設計與模擬驗證, 2004年1-5月已至CIC完成160MHz 10bit DAC、8MHz Gm-C active LPF、5GHz Novel tank circuit VCO、Variable Gain LNA的CMOS IC下線。其餘電路如6GHz frequency synthesizer, Programmable Gain Amplifier with DC offset cancellation and 40MHz 10bit ADC也正著手設計及模擬的工作, 已於93年8月將初步設計與模擬驗證完成。未來將朝計劃的預期目標 - 5GHz direct conversion receiver的設計與實現逐步推進。



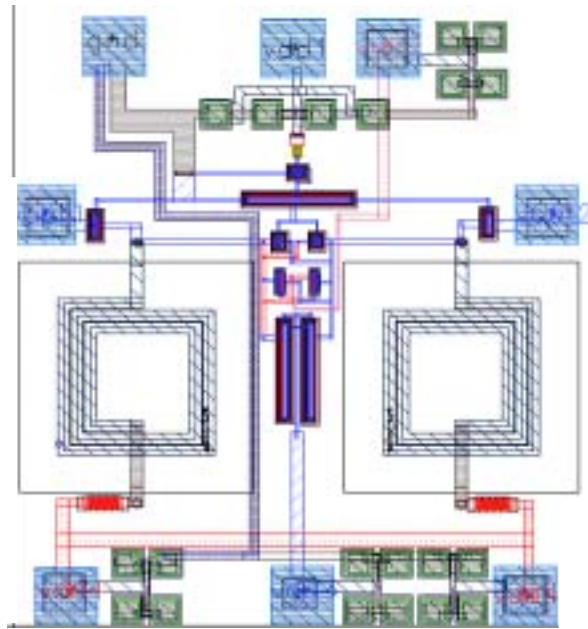
5 GHz 接收機前端的可變增益低雜訊放大器(Variable Gain Low Noise Amplifier)  
已於 93/3 TSMC 0.18 $\mu$ m process 下線



10MHz OTA Gm-C Baseband Low Pass Filter  
 已於 93/5 TSMC 0.25um process 下線



160MHz DAC  
 已於 93/5 TSMC 0.25um process 下線



5GHz VCO with Novel Tank Circuits  
已於 93/5 TSMC 0.18um process 下線

#### 五、計畫成果自評

本計畫研究內容與原計畫完全相符、已達成計畫第一年所訂定之預期目標、未來將把研究成果在學術期刊發表或申請專利。