

行政院國家科學委員會專題研究計畫 成果報告

具有反面晶片技術的晶片與封裝共構繞線發展(I) 研究成果報告(精簡版)

計畫類別：個別型
計畫編號：NSC 96-2221-E-216-046-
執行期間：96年08月01日至97年07月31日
執行單位：中華大學資訊工程學系

計畫主持人：顏金泰

計畫參與人員：碩士班研究生-兼任助理人員：周義翔
碩士班研究生-兼任助理人員：胡淳浩
碩士班研究生-兼任助理人員：柯祥霖
博士班研究生-兼任助理人員：陳志瑋

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 97 年 10 月 14 日

具有反面晶片技術的晶片與封裝共構繞線發展(I)

“Development of Chip and Package Co-Routing with Flip-Chip Technology(I)”

計畫編號：NSC96-2221-E-216-046

執行期間：96年8月1日至97年7月31日

主持人：顏金泰 中華大學資訊工程學系教授

一、中文摘要

因應 SoC 或 SiP 晶片的日趨複雜，對於輸出入連接數目也產生大量的需求，因此反面晶片連結方式具有大量突起球連接的特性，提供較高的晶片設計密度，被進一步應用在 SoC 或 SiP 晶片來滿足大量輸出入連接的封裝需求，此計畫希望針對 SoC 或 SiP 晶片設計，以兩年的時間發展出利用反面晶片連結方式有效率的高密度晶片與封裝共構的繞線系統，依據連線區域的差異，整個繞線系統分成晶片內部的繞線系統與封裝內部的繞線系統，第一年計劃完成晶片內部的繞線系統部份，為了同時兼顧可繞性與減少增加版面規劃面積，並且可利用較少的重置層完成輸出入訊號到反面晶片連結球的繞線，此階段的繞線系統大致分為同時兼具晶片內部可繞性與減少增加版面規劃面積的輸出入緩衝器插入設定、重配置層數限制的輸出入端點設定與重配置層的完整繞線設計等三個主要部份，這年的研究盼望對於新世代製程環境中，提供具有大量輸出訊號的 SoC 或 SiP 晶片設計，利用反面晶片連結模式能提出完整的晶片與封裝共構繞線系統。

英文摘要

With advanced integrated circuits manufacturing technology in deep submicron process, an entire system can be integrated into a single SoC chip or packed into a single SiP chip. Since more I/Os are needed in current SoC or SiP designs, flip-chip technology allows high-performance SoC or SiP designs to be built with many more I/O connections.

In this project, a chip/package routing

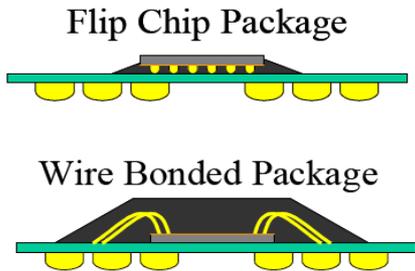
codesign with flip-chip technology is developed for SoC or SiP designs. Basically, the proposed system is divided into chip routing with flip-chip technology and package routing with flip-chip technology. In the first year, the work focuses on the chip routing with flip-chip technology and the routing can be divided into three phases: Routability-driven I/O buffer insertion for floorplan area minimization, I/O connection assignment for constrained redistribution layers and Redistribution-layer routing design. For advanced process, we hope that the proposed project can provide a chip/package routing codesign with flip-chip technology to complete the routing process in SoC or SiP designs with more I/O connections.

二、計畫的緣由與目的

隨著深次微米製程技術的發展，使得整個系統建構於單晶片或單封裝成為可能的事實，因此單系統晶片與單系統封裝的相關研究與技術受到產業界廣泛的注意，近來由於設計上的應用日漸複雜，SoC 或 SiP 晶片的設計往往涵蓋幾個主要部份，包括微處理器、DSP 處理器、記憶體、I/O、控制邏輯與混合訊號區塊等部份，利用各個功能模組化的 IP 技術開發，進而透過 IP 授權來達到設計得以重覆使用(IP Reuse)，使得獨立設計者也有能力整合 SoC 或 SiP 晶片來滿足市場上的需求，進而提升系統應用的成效。

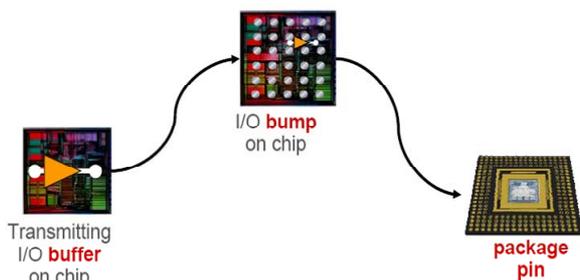
因應 SoC 或 SiP 晶片的日趨複雜，對於輸出入連接數目也產生大量的需求，傳統晶片對於輸出入連接的處理乃將輸出入緩衝器(I/O Buffer)擺置在晶片核心的方形周圍，進一步採用線形連結(Wire Bonding)方式達成連線連接做封裝處理，但因晶片核心的周圍可擺置的輸出入緩衝器數量有限，無法滿足 SoC 或 SiP 晶

片大量輸出入連接的需求，因此 IBM 公司在七零年代發展的反面晶片(Flip-Chip)連結方式具有大量突起球(Bump Ball)連接的特性，提供較高的晶片設計密度，被進一步應用在 SoC 或 SiP 晶片來滿足大量輸出入連接的封裝需求，如圖一所示，傳統線形連結與反面晶片連結方式應用於晶片的封裝連接模式。



圖一 傳統線形連結與反面晶片連結晶片封裝模式

一般對於反面晶片連結方式的設計可應用在針格陣列(Pin Grid Array, PGA)、球格陣列(Ball Grid Array, BGA)與晶片級封裝(Chip Scale Package ,CSP)等不同的封裝方式[1-2]，所有輸出入訊號必須透過反面晶片的突起球連接到封裝模式的腳位，進一步與其它晶片做資料的交換傳輸，因此晶片核心的輸出入訊號的連接效率取決於晶片與封裝之間的連接延遲，設計有效率的晶片與封裝間繞線系統將有助於提昇晶片核心的輸出入訊號的連接效率。如圖二所示，晶片內部輸出入訊號到封裝腳位的訊號傳輸可分為兩個傳輸部份:輸出入訊號到反面晶片連結球的訊號傳輸與反面晶片連結球到封裝腳位的訊號傳輸。



圖二 晶片內部輸出入訊號到封裝腳位的訊號傳輸

首先對於輸出入訊號到反面晶片連結球的訊號傳輸，可設計輸出入訊號到反面晶片連結球的繞線系統來完成，通常分成下列三個方向分別探討並整合完成:在已知的版面規劃上執行輸出入緩衝器的配置以達到輸出入訊號的轉換，接著完成反面晶片連結球的連線設定使得輸出入訊號可連接反面晶片連結球，最後

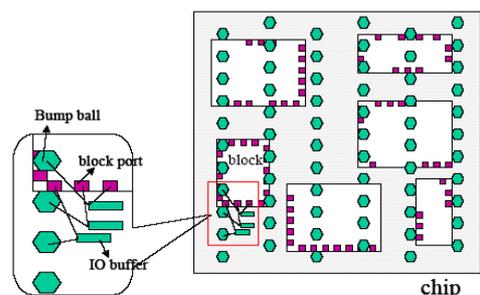
依據所有緩衝器與連接球的兩端點連接關係，完成重置層的繞線設計。

三、研究方法及成果

本年計劃希望完成晶片內部的繞線系統部份，使得大量的輸出入訊號得以連接到反面晶片連結平面上的突起球，為了同時兼顧可繞性與減少增加版面規劃面積，並且可利用較少的重置層完成輸出入訊號到反面晶片連結球的繞線，此階段的繞線系統大致分為同時兼具晶片內部可繞性與減少增加版面規劃面積的輸出入緩衝器插入設定、重配置層數限制的輸出入端點設定與重配置層的完整繞線設計等三個主要部份。

A. 同時兼具晶片內部可繞性與減少增加版面規劃面積的輸出入緩衝器插入設定

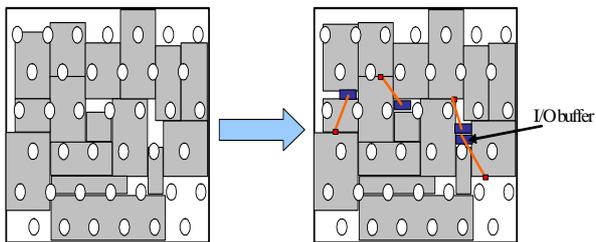
在反面晶片連結模式下，每個輸出入訊號都有一個相對應的輸出入緩衝器引導連線連接到反面晶片連結平面上的一個突起球，因此輸出入訊號端點到反面晶片連結平面的連接可分成兩個獨立連接段，其中一個連接段必須在晶片內部繞線層完成連接，另外一個連接段必須在額外重配置層完成連接，這兩個獨立連接段可由輸出入緩衝器位置來決定他們的繞線區域與連線長短，因此輸出入緩衝器插入的位置對於晶片內部繞線層與額外重配置層的繞線結果有關鍵性的地位，因此考量晶片內部繞線層的可繞性對輸出入緩衝器插入是很重要的。如圖三所示，在版面規劃上的電路區塊，每個輸出入訊號都有一個相對應的輸出入緩衝器連接到反面晶片連結平面上的一個突起球。



圖三 反面晶片連結模式下輸出入訊號與輸出入緩衝器關係

雖然輸出入緩衝器可用來引導輸出入訊

號連接到反面晶片連結平面上的突起球，但是輸出緩衝器必須佔用版面規劃上的面積，大量的輸出緩衝器插入可能使得版面規劃面積增加產生晶片製造成本的增加，因此考量版面規劃上的空白區域或適當地移動電路區塊來做為輸出緩衝器插入使用，將可減少因為輸出緩衝器插入所產生的面積增加，這樣版面規劃面積上的考量對於輸出緩衝器插入是很重要的。如圖四所示，在版面規劃結果上存在空白區域或適當地移動電路區塊可用來插入輸出緩衝器以避免版面規劃面積大量增加。



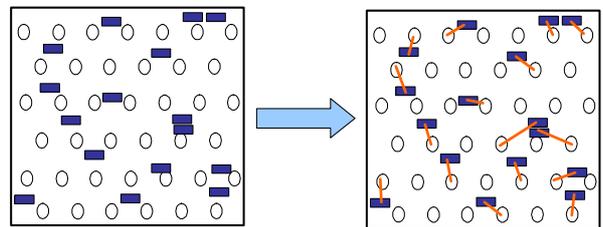
圖四 版面規劃結果上存在空白區域或適當地移動電路區塊可用來插入輸出緩衝器

最後再依輸出訊號的位置、區域擁擠度機率值結果與版面規劃上電路區塊的擺置位置，選擇區域擁擠度機率值較低並可減少增加版面規劃面積的區域來完成輸出緩衝器的插入設定。因為大量的輸出訊號必須插入大量的輸出緩衝器，因此勢必發生多個輸出緩衝器想要爭取同一塊空白區域或通道以減少增加版面規劃面積的現象，在盡量減少增加版面規劃面積的情況下，也可考量總連線長度為次要目標，發展有效率的同時兼具晶片內部可繞性與減少版面規劃面積的輸出緩衝器插入設定。

B. 重配置層數限制的輸出端點設定

當完成所有輸出緩衝器的插入設定，已知輸出緩衝器與反面晶片連結突起球之間的繞線必須在重配置層完成，既然每個輸出緩衝器必須連接到反面晶片連結平面上的一個突起球，因此在反面晶片連結平面上輸出端點設定是必要的，有效的輸出端點設定將減少繞線的複雜度，也可進一步降低使用重配置層的繞線層數。因此在處理輸出端點設定時，必須避免重配置層上連接段的相交過多的

現象，因為相交現象的複雜度將決定使用重配置層的數目，另外在重配置層上連接段總長度也是繞線結果評估的目標，因為連線的長度可能增加連線的延遲時間，也增加可能繞線的困難度。基本上利用圖形理論的觀念可以定義處理輸出端點設定問題，假想每個連線視為圖形中一個端點，任兩條連線之間的相交現象視為圖形中一個邊，在所形成的圖形中尋找最大的 k 次完全子圖(Maximum k -clique)即代表所有連線需要 k 層的重配置層，既然所有連線可因處理輸出端點設定而改變，因此相交現象也可因所有連線的改變而改變，所得到的最大的 k 次完全子圖也會隨不同的設定有所變化。在有限的重配置層的數目情況下，依據每個輸出緩衝器連接到突起球的長度限制，找出每個輸出緩衝器可能的突起球設定，進一步尋求不大於重配置層的數目的所有組合情況，得到所有連接段總長度達到最短的輸出端點設定結果。如圖五所示，依據反面晶片連結平面上所有輸出緩衝器與反面晶片連結突起球，尋找反面晶片連結平面上的輸出端點設定，因此可到有限的重配置層的數目情況下的所有連線結果。

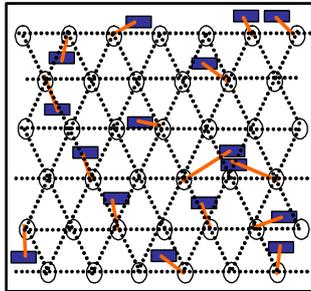


圖五 反面晶片連結平面上的輸出端點設定

C. 重配置層的完整繞線設計

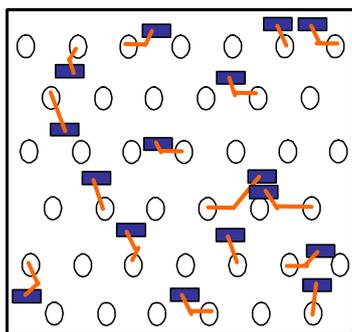
完成反面晶片連結平面上的輸出端點設定後，依據所有輸出緩衝器與反面晶片連結突起球之間的連線關係，已知在重配置層上所有連線都是兩端點連線，對於重配置層的完整繞線可分為整體繞線與細部繞線兩個階段。在整體繞線部份，假設所有連線使用最短距離繞線的前提下，根據反面晶片連結平面上所有突起球的位置與重配置層上可能使用的繞線模式，將重配置層上的繞線平面切割為整體繞線格，再依整體繞線格上的繞線通道的容許繞線數做格狀整體繞線分析，計算出所有繞線通道上的擁擠度機率值來評估繞線通道上

的可繞性，每條連線依據所含蓋繞現區域內的擁擠度機率值，尋求維持可繞性的整體繞線路徑。如圖六所示，依據反面晶片連結平面上所有反面晶片連結突起球，將重配置層上的繞線平面切割為整體繞線格，做為整體繞線方法的處理模式。



圖六 重配置層上整體繞線格狀分析模式

另外在細部繞線部份，依據在重配置層上所有整體繞線路徑，已知每個整體繞線路徑精過許多的繞線通道，相對地，每個通道也可能經過許多整體繞線路徑，在所有連線使用最短距離繞線的前提下，並且在減少整體繞線路徑間不必要的相交現象下，對於所有繞線通道進一步做跨繞線通道的軌線設定(Track Assignment)，完成所有繞線通道的軌線設定之後，每個整體繞線路徑將切割成許多繞線格內部的連接段，進一步針對每個繞線格內部的所有連接段完成細部繞線安排，即可順利產生重配置層的完整繞線結果。如圖七所示，依據在重配置層上所有整體繞線路徑，可進一步產生重配置層的完整繞線結果。



圖七 重配置層上實際繞線結果

四、結論與討論

本計畫完成晶片內部的繞線系統部份，使得大量的輸出入訊號得以連接到反面晶片連結平面上的突起球，為了同時兼顧可繞性與減

少增加版面規劃面積，並且可利用較少的重置層完成輸出入訊號到反面晶片連結球的繞線。本研究群的相關研究結果發表於 IEEE 會議論文 1 篇，並有一篇期刊論文與一篇 IEEE 會議論文已經投稿中。

五、參考文獻

- [1] J. Mcgrath, "Chip/Package Co-Design: The bridge between chips and systems," *Advanced Packaging*, 2001.
- [2] J. C. Parker, R. J. Sergi, D. Hawk, and M. Diberardino, "IC-Package Co-Design Supports Flip-Chips," *EE Times*, November 2003.
- [3] H. M. Chen, I. M. Liu, D. F. Wong, M. Shao and L. D. Huang, "I/O Clustering in Design Cost and Performance Optimization for Flip-Chip Design," *International Conference on Computer Design*, pp. , 2004.
- [4] R. J. Lomax, R. B. Brown, M. Nanua, and T. D. Strong, "Area I/O Flip-Chip Packaging to Minimize Interconnect Length," *IEEE Multi-Chip Module Conference*, pp.2-7, 1997.
- [5] D. Chang, T. F. Gonzalez, and O. H. Ibarra, "A Flow Based Approach to the Pin Redistribution Problem for Multi-Chip Modules," *IEEE Great Lake on VLSI*, pp.114-119, 1994.
- [6] S. S. Chen, J. J. Chen, S. J. Chen, and C. C. Tsai, "An Automatic Router for the Pin Grid Array Package," *IEEE Asia and South Pacific Design Automation Conference*, pp.133-136, 1999.
- [7] M. F. Yu and W. M. Dai, "Pin Assignment and Routing on a Single-Layer Pin Grid Array," *IEEE Asia and South Pacific Design Automation Conference*, pp.203-208, 1995.
- [8] X. Xiang, X. Tang, and D. F. Wang, "Minimum-Cost Flow-Based Algorithm for Simultaneous Pin Assignment and Routing," *IEEE Transactions on Computer-Aided Design*, vol. 22, pp.870-878, 2003.
- [9] D. Wang, P. Zhang, C. K. Chang, and A. Sen, "A Performance-Driven I/O Pin Routing Algorithm," *IEEE Asia and South Pacific Design Automation Conference*, pp.129-132, 1999.
- [10] J. W. Fang, I. J. Lin, P. H. Yuh, Y. W. Chang, and J. H. Wang, "A routing algorithm for flip-chip design," *IEEE International Conference on Computer-Aided Design*, pp. 753-758, 2005.
- [11] J. W. Fang, C. H. Hsu and Y. W. Chang, "An Integer Linear Programming Based Routing Algorithm for Flip-Chip Design," *Design automation Conference*, pp. 606-611, 2007.
- [12] Y. Kubo and A. Takahashi, "A global routing method for 2-layer ball grid array packages," *International Symposium on Physical Design*, pp. 36-43, 2005.

行政院國家科學委員會補助國內專家學者出席國際學術會議報告

96 年 12 月 20 日

報告人姓名	顏金泰	服務機構 及職稱	資訊工程學系 教授
會議 時間 地點	96/12/11-96/12/14 摩洛哥馬拉喀什	本會核定 補助文號	
會議 名稱	(中文)2007 年度國際電機電子工程師協會國際電子、電路與系統會議 (英文)2007 International Conference on Electronics, Circuits and Systems		
發表 論文 題目	(中文) 對於降低耦合電容的可繞行導向軌道繞線 (英文) Routability-Driven Track Routing for Coupling Capacitance Reduction		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>12/7 由桃園國際機場搭西北航空經大阪轉荷蘭航空班機抵達西班牙馬德里機場，12/10 轉接西班牙伊比利航空班機抵達摩洛哥卡薩布蘭加機場，12/11 再搭鐵路火車抵達摩洛哥馬拉喀什完成會議報到。12/12 下午前往會場參與論文發表會並發表論文。12/13 與 12/14 前往會場參與研討會。12/14 轉接西班牙伊比利航空班機由摩洛哥馬拉喀什返回抵西班牙巴塞隆納。12/17 由西班牙巴塞隆納機場搭法國航空經大阪轉西北航空班機抵達桃園國際機場。</p> <p>二、與會心得</p> <p>ICECS 是歐洲地中海區域最主要的電子、電路與系統會議，今年許多亞洲 Circuits 與 Systems 的研究發表在此會議並且取得此會議最佳論文獎，可見亞洲電子系統發展能力受到世界的注目，台灣電子工業的發展須由製造為導向轉型研究為導向來發展，才能在電子產業開創新的局面，因此投入電子電路與系統的研究發展應為台灣電子業轉型的關鍵。</p> <p>三、考察參觀活動(無是項活動者省略)</p> <p>無</p> <p>四、建議</p> <p>國內大學研究團隊參與此次國際學術研討活動甚為積極，政府單位應多補助經費鼓勵大學研究成果多多發表於國際學術研討會，以提升國內研究成果。</p> <p>五、攜回資料名稱及內容</p> <p>ICECS2007 論文集光碟片一片</p> <p>六、其他</p>			