

行政院國家科學委員會專題研究計畫 成果報告

考量溫度限制之三維晶片版面規劃與擺置系統開發 研究成果報告(精簡版)

計畫類別：個別型
計畫編號：NSC 98-2221-E-216-036-
執行期間：98年08月01日至99年07月31日
執行單位：中華大學資訊工程學系

計畫主持人：顏金泰

計畫參與人員：碩士班研究生-兼任助理人員：張育誠
碩士班研究生-兼任助理人員：鍾明清
博士班研究生-兼任助理人員：陳志瑋

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 99 年 10 月 31 日

考量溫度限制之三維晶片版面規劃與擺置系統開發

“Development of Temperature-Constrained 3D Floorplanning and Placement System”

計畫編號：NSC98-2221-E-216-036

執行期間：98年8月1日至99年7月31日

主持人：顏金泰 中華大學資訊工程學系教授

一、中文摘要

在三維晶片擺置設計自動化中，為了滿足晶片溫度的限制，首先根據電路的熱量評估模式，計算每個區塊電路的產生熱量的能力，再根據所有區塊電路的面積、區塊電路間的連接關聯性與堆疊電路層數量，將原本區塊電路串列分割成符合堆疊電路層數量的多個小電路串列，使得這些小電路串列考量面積平衡使得達成體積最少化的要求，並且考量熱源分散使得避免熱源集中產生高溫熱點的現象。對於三維晶片上的區塊電路擺置，熱量模式的溫度計算對於擺置結果是絕對必要的，有了明確的溫度計算方式才能提供不同擺置結果的溫度參考，進一步設計較有效的擺置方法。當每個電路層內的電路區塊已知，並且提供明確熱量模式的溫度計算，可將同一電路層內的電路區塊利用熱量分散的目標達成熱源分散的三維晶片電路規劃與擺置。對於三維晶片電路擺置結果，已知適當的將空白空間平均分布在電路之間有利將熱量的平均分配，使得電路上最高溫度下降，因此溫度降低為導向的空白空間重新分布在電路層有執行的必要，但是對於熱源的導熱能力，最重要的是滿足溫度限制的熱導轉接點擺置，在擺置結果中的空白空間或是可容許擴充的空間中擺置相鄰電路層的熱導轉接點將有利熱量擴散，使得溫度降低滿足三維晶片的溫度限制。

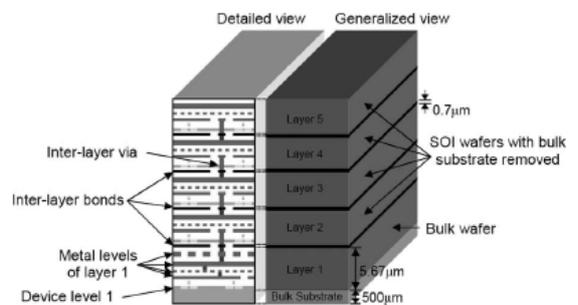
英文摘要

In 3D circuit partitioning, the power density of any circuit block is estimated by a feasible estimation model. Furthermore, according to the connection between any pair of circuit blocks, the number of circuit layers, the original block-level netlist can be partitioned into some clusters with the consideration

of area balance and thermal distribution. In thermal-driven 3D floorplanning, based on block-level thermal model, the circuit blocks in any partitioned cluster are placed on feasible locations to minimize the chip temperature and volume. After 3D floorplanning, the maximum temperature in any circuit layer can be further reduced by using the concept of the whitespace redistribution. Finally, the thermal vias can be inserted onto feasible locations to reduce the chip temperature and the number of thermal vias is minimized to satisfy the temperature constraint in thermal via placement.

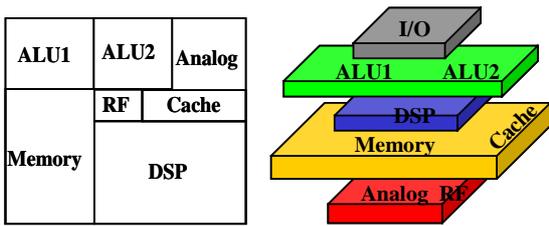
二、計畫的緣由與目的

一般三維化整合設計可實現在三維多晶片模組設計與三維晶片設計。在三維多晶片模組設計中，不同晶片垂直封裝設計成三維形式，雖然這種形式是一種成功的三維化整合設計，但是不同晶片之間的連線只能在晶片邊緣做連接，因此大大降低三維化整合設計的連線效能優點。另外如圖一所示，在三維晶片設計[1-6]中，多個緊密堆疊的元件層藉由夾層隔離來形成三維化整合設計，不同元件之間的連線則可以提供直接穿透夾層的连接轉接點來做直接連接，晶片內的熱量藉由穿透夾層的熱源轉接點來散熱。一般三維晶片設計較符合三維化整合設效能與可靠度的要求，因此將成為未來積體電路設計的主要方法，如圖一所示，傳統線形連結與覆晶連結方式應用於晶片的封裝連接模式。



圖一 三維晶片設計

對於三維晶片設計，將一大片平面上的電路跌成多層化規劃，明顯的是電路間連線的長度大幅縮短[7]，使得連線的時間延遲也大幅縮短來提升晶片的效能，另外連線長度的縮短降低每個電晶體的功率消耗，使得整個晶片的功率消耗也達到較佳的成效，除此也因為多層化規劃設計，使得原本無法實現在二維積體電路設計的不相容技術也可以整合在單一三維晶片的不同層設計中，如圖二所示，高效能的系統晶片(System-on-Chip, SoC)可能包含微處理器、DSP 處理器、記憶體、I/O、控制邏輯與混合訊號區塊等元件，分別利用不同的製程建構在不同的電路層。



圖二 傳統二維晶片與三維晶片架構比較

雖然三維晶片有許多二維積體電路所無法達成的好處，但是三維晶片也必須改善所面對的新問題，才能使得三維晶片設計成為未來積體電路製造的主流。首先面對的問題是製造技術的問題，現有的積體電路製造技術必須進一步改良製程使能夠提供低成本與高品質的多層製造方法，另外因為在三維晶片中電路高密度聚集的高功率密度結果[8]與熱導路徑上夾層高熱阻材料的使用，使得晶片所產生的熱能成為三維晶片必須處理的重要問題，晶片中的高熱能產生的高溫度使得晶片的效能與可靠度大受影響，因此三維晶片中的功率與溫度管理設計[9-10]變成未來積體電路設計最重要的課題。

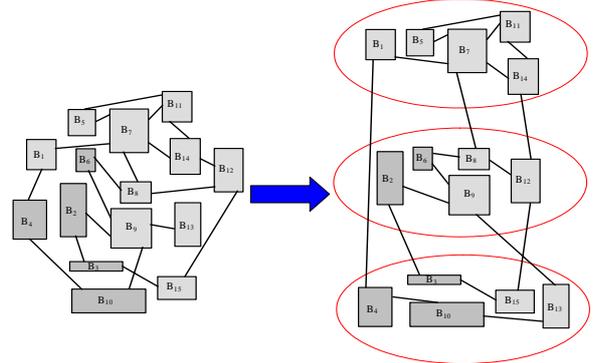
三、研究方法及成果

本計劃完成達成最少體積的三維晶片的擺置自動化設計系統，為了滿足三維晶片的溫度限制，並且可利用較少的晶片體積完成三維晶片的擺置，此階段的擺置自動化設計系統大致分為考量面積平衡並且熱源分散的三維晶片電路分割、區塊層次熱量模式的溫度計算、熱源分散且體積最小的三維晶片電路規劃與擺置、溫度降低為導向的空白空間重新分佈與滿足溫度限制的熱導轉接點擺置等五個主要部份。

A. 考量面積平衡並且熱源分散的三維晶片電路分割

對於一個複雜的區塊電路串列，考量面積平衡並且熱源分散的三維晶片 K 堆電路分割，可將此區塊電路串列表示成一個圖形結構，圖形結構中的每個端點表示一個區塊，圖形結構中的每個邊連接可由兩種區塊電路相關因素構成。依據任一邊上的區塊之間連線連接量與功率連接量的總和，即可建構一個有權重的完全圖形結構，此權重隱含著訊號連接關聯性與避免熱源集中的特性。

對於一個有權重的完全圖形結構而言，任一個連接邊的權重越大代表越希望連接邊的兩個區塊分割在同一堆，使得分割的切割值(Cut)越小，因此可以將此有權重的完全圖形結構視為一個具有聚集距離的完全圖形結構，進一步依照模糊式的中心圖形聚集演算法兩段式反覆計算，當誤差值收斂時，即可算出任一電路區塊歸屬某一電路堆的機率值所形成的矩陣，此矩陣表示每一個分割堆包含任一電路區塊的機率值，依據機率值的大小關聯性，可行成 K 條的電路區塊歸屬排序列。一旦擁有 K 條的電路區塊歸屬排序列，最後為了平衡每個電路堆的總面積量，以達到降低三維晶片擺置結果總體積的目標，依歸屬排序列的結果，選擇機率值較高的電路區塊設定到相關的區塊電路堆，直到所有電路區塊都已完成設定，則考量面積平衡並且熱源分散的三維晶片 K 堆電路分割就執行完成。如圖三所示，一個擁有十五個區塊電路的串列，假設對這個區塊電路串列執行 3 堆電路分割成，依照模糊式的中心圖形聚集演算法兩段式反覆計算出任一電路區塊歸屬某一電路堆的機率值所形成的矩陣，最後平衡每個電路堆的總面積量的電路區塊設定，求得考量面積平衡並且熱源分散的三維晶片三堆電路分割結果。



圖三考量面積平衡並且熱源分散的三維晶片三堆電路分割結果

B. 區塊層次熱量模式的溫度計算

利用熱模型對三維晶片做熱分析時，一般常以熱達穩定狀態下的結果來討論，當穩定狀態下的晶片溫度分佈較不會受到瞬間熱量變化影響。

假如不考慮物體熱傳導係數受溫度影響改變，則穩定狀態下的熱擴散公式可寫成

$$k(x, y, z, t)\nabla^2 T(x, y, z, t) + p(x, y, z, t) = 0$$

因此任一個方塊的熱傳導關係下的熱擴散公式可表示為

$$\frac{T_{x1}-T_i}{\partial x/kA_x} + \frac{T_{x2}-T_i}{\partial x/kA_x} + \frac{T_{y1}-T_i}{\partial y/kA_y} + \frac{T_{y2}-T_i}{\partial y/kA_y} + \frac{T_{z1}-T_i}{\partial z/kA_z} + \frac{T_{z2}-T_i}{\partial z/kA_z} + \Delta p_i(x, y, z, t) = 0$$

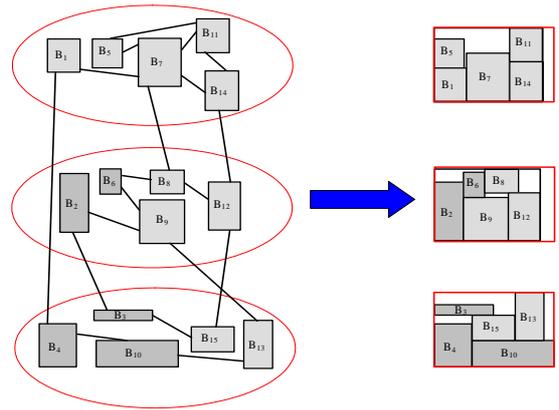
其中 T_i 為此方塊的溫度、 k 為單位體積的熱傳導係數、 A 為兩個相鄰小方塊的接觸面積、 $g_{i,x1} = g_{i,x2} = kA_x / \delta x$ 、 $g_{i,y1} = g_{i,y2} = kA_y / \delta y$ 與 $g_{i,z1} = g_{i,z2} = kA_z / \delta z$ 。

對於方塊溫度的計算，可利用溫度、功率與將方塊間的熱傳導關係之矩陣方程式表示為 $G \cdot T = P$ ，其中 G 為熱傳導關係矩陣、 T 為溫度向量與 P 為功率向量，對於溫度的計算，已知可使用高斯消去法來完成，已知高斯消去法的時間複雜度為 $O(n^3)$ ，因此所有方塊溫度計算的時間複雜度為 $O(n^3)$ ，其中 n 為方塊總數量。

C. 熱源分散且體積最小的三維晶片電路規劃與擺置

對於三維晶片 K 堆電路分割結果，希望每堆電路可以完成電路規劃與擺置，使得最後擺置結果堆疊成三維晶片的 K 個電路層，但在擺置的目標要求上，因為製造成本考量，希望得到最小體積的擺置結果，另外因為三維晶片溫度的考量，也希望得到較低溫的擺置結果，因此熱源分散的三維晶片並達成最小體積的目標是電路規劃與擺置的要求。

在模擬退火(Simulated Annealing)演算法中，對於任一電路層的擺置結果，定義三種區塊運算：旋轉(Rotate)、交換(Swap)與移動(Move)在電路區塊序列的循序對，分別允許單一電路區塊旋轉方位、兩個電路區塊交換位置與移動某個電路區塊到某個位置，一但執行運算也改變循序對所表示的擺置結果，由新的擺置結果可以求得擺置結果的高與寬，另外也可依據三維晶片中的區塊層次熱模型算出所有區塊的溫度。既然每個電路層的擺置結果可以求得擺置結果的高與寬和所有區塊的溫度，為了達到熱源分散並達成最小體積的目標，這個三維晶片模擬退火的規劃與擺置演算法之成本函數定義為 $\alpha \text{Max}\{W_{1,\text{max}}, \dots, W_{K,\text{max}}\} + \beta \text{Max}\{T_{1,\text{max}}, \dots, T_{K,\text{max}}\}$ ，希望能求得兼顧溫度與體積的擺置結果。如圖四所示，三維晶片三堆電路分割結果，經過三維晶片模擬退火的規劃與擺置演算法執行，得到兼顧溫度與體積的擺置結果。



圖四 熱源分散的三維晶片電路規劃與擺置結果

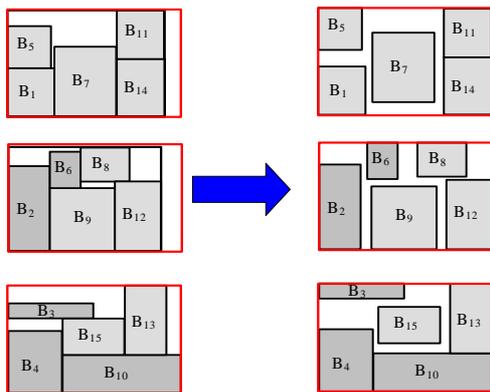
D. 溫度降低為導向的空白空間重新分佈

在三維晶片中，倘若沒有任何熱導轉接點插入，任何區塊電路層上下由夾層隔離，三維版面規劃是由多個二維版面規劃堆疊而成，另外每個電路層的擺置面積是以各電路層最大的長與寬所形成的面積為面積，因此有大部分的電路層可能擁有許多的空白空間可以利用。對於各層版面規劃的結果，依據各電路層最大的長與寬為面積限制，利用空白空間的重新分配到高溫的區塊旁邊，進一步達成各個電路層降溫的效果，對於電路區塊的降溫方式，採用稀釋和擴散作用的觀念來有效插入空白空間完成空白空間的重新分配。以墨汁擴散為例，將墨汁滴於水中，根據物理擴散現象，濃度高的流體會向濃度低的流體擴散，所以墨汁會向四周水擴散，墨汁的濃度同時也會被水稀釋掉，當水量較多時，墨汁濃度越低。我們利用同樣的觀念來思考電路區塊和空白空間的關係，每個電路區塊各自擁有的功率密度對應於墨汁的濃度，空白區塊就像稀釋墨汁濃度的水，將針對最高溫區塊進行降溫動作，如圖十五所示，只要將版面規劃外層的空白空間重新分配到最高溫電路區塊旁邊，將電路區塊和空白空間視為一個較大的虛擬的區塊，借由虛擬區塊較大的面積，將原本電路區塊的功率密度稀釋降低到一個較低的功率密度，當電路區塊功率分佈在較大的平面面積，所產生的功率密度自然減少，溫度也隨之可能下降。依照熱源分散且體積最小的三維晶片電路規劃與擺置結果，如圖五所示，依照插入空白空間完成重新分配空白空間，所有電路區塊分散可使得二維版面規劃達到降溫的目的。

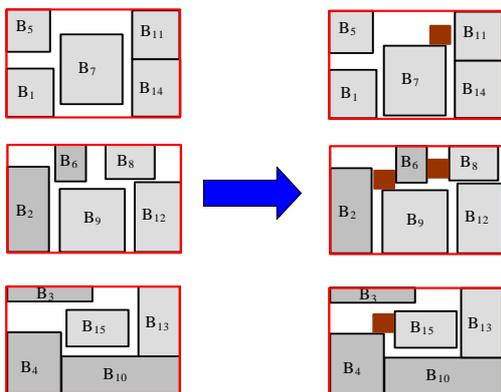
E. 滿足溫度限制的熱導轉接點擺置

為了降低三維晶片的溫度，導熱轉接點的插入技術比利用空白區塊分配的降溫效果更加明顯，導熱轉接點除了不產生熱能外，本身的熱阻很低，容易將熱量傳導出去，是一個比空白區塊更好的熱導體，不過導熱轉接點連接在不同相鄰

電路層，所以在上下兩層電路層同樣位置必須都有空白空間才可以插入導熱轉接點。一般而言，在版面規劃中，任意位置插入導熱轉接點都會造成熱傳導的現象，想要將晶片中心的熱往下傳遞，必須上層電路層溫度較高，下層電路層溫度較低，如果下層較上層溫度高的話，導熱轉接點會將下層的熱量傳到上層，這樣會使晶片中心溫度更高而無法將熱量散出，將造成晶片的燒毀。在執行滿足溫度限制的熱導轉接點擺置的過程，想要找尋適合導熱轉接點插入的位置，首先依據執行各電路層空白重新分配方法後的擺置結果，利用三維區塊層級的熱模型對整個三維版面規劃做溫度的計算，希望找出三維版面規劃中溫度最高的區塊，再由此最高溫區塊尋找下層電路層溫度差最高的區塊，希望藉由導熱轉接點插入於此相鄰電路層溫度差最高的區塊附近，使得這個最高溫區塊達到降低溫度的目的。如圖六所示，透過逐步改善方法插入導熱轉接點，使得三維晶片擺置結果完成滿足溫度限制的熱導轉接點擺置。



圖五空白空間重新分配



圖六 完成滿足溫度限制的熱導轉接點擺置

四、結論與討論

本計劃希望針對三維晶片設計，發展出滿足溫度限制並達成最少體積的擺置自動化設計系統，依據三維晶片擺置的特性差異，整個自動化

設計系統在滿足溫度限制下，分成達成最少體積的三維晶片的擺置自動化設計系統。本研究群的相關研究結果發表於 IEEE 會議論文 1 篇，並有一篇期刊論文與一篇 IEEE 會議論文已經投稿中。

五、參考文獻

- [1] K. Saraswat, S. J. Souri, K. Banerjee, and P. Kapur, "Performance analysis and technology of 3D ICs," *International Workshop on System-Level Interconnect Prediction*, pp.85–90, 2000.
- [2] A. Rahman, A. Fan, and R. Reif, "Comparison of key performance metrics in two- and three-dimensional integrated circuits," *Interconnect Technology Conference*, pp.18–20, 2000.
- [3] K. Banerjee, S. J. Souri, P. Kapur, and K. C. Saraswat, "3D ICs: A novel chip design for improving deep sub-micrometer interconnect performance and systems-on-chip integration," *Proceeding of IEEE*, Vol. 89, no. 5, pp.602–633, 2001.
- [4] S. Das, A. Chandrakasan, and R. Reif, "Three-dimensional integrated circuits: Performance, design methodology, and CAD tools," *IEEE Annual Symposium on VLSI (ISVLSI)*, pp.13–18, 2003.
- [5] Y. Deng and W. Maly, "2.5D system integration: A design driven system implementation schema," *Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp.450–455, 2004.
- [6] S. Das, A. Fan, K.-N. Chen, C. S. Tan, N. Checka, and R. Reif, "Technology, performance, and computer-aided design of three-dimensional integrated circuits," *International Symposium on Physical Design (ISPD)*, pp.108–115, 2004.
- [7] J. W. Joyner, P. Zarkesh-Ha, and J. D. Meindl, "A stochastic global netlength distribution for a three-dimensional system-on-a-chip," *14th Annual IEEE ASIC/SOC Conference*, pp.147–151, 2001.
- [8] A. Rahman and R. Reif, "Thermal analysis of three-dimensional (3-D) integrated circuits (ICs)," *Interconnect Technology Conference*, pp.157–159, 2001.
- [9] T. Y. Chiang, S. J. Souri, C. O. Chui, and K. C. Saraswat, "Thermal analysis of heterogeneous 3-D ICs with various integration scenarios," *IEEE International Electron Devices Meeting Tech. Dig.*, pp.681–684, 2001.
- [10] S. Im and K. Banerjee, "Full chip thermal analysis of planar (2-D) and vertically integrated (3-D) high performance ICs," *IEEE Int. Electron Devices Meeting (IEDM) Tech. Dig.*, pp.727–730, 2000.

行政院國家科學委員會補助國內專家學者出席國際學術會議報告

98 年 9 月 29 日

報告人姓名	顏金泰	服務機構 及職稱	資訊工程學系 教授
會議 時間 地點	98/9/8-98/9/11 英國伯爾法斯特	本會核定 補助文號	
會議 名稱	(中文) 2009 年第二十二屆國際電機電子工程師協會國際系統晶片會議 (英文) 2009 22 nd IEEE International SOC Conference		
發表 論文 題目	(中文) 具有列與行繞道能力的低功率乘法器設計 (英文) Low-Power Multiplier Design with Row and Column Bypassing		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>9/3 由桃園國際機場搭荷蘭航空 KL0878 班機於阿姆斯特丹轉 KL1471 班機抵達英國格拉斯哥機場，於 9/7 再由英國格拉斯哥機場搭愛爾蘭航空 EI1225 班機抵達愛爾蘭都柏林，9/8 早上搭火車前往伯爾法斯特。9/10 中午發表論文於發表論文於 SOCC2009-Posters Section。9/11 由伯爾法斯特機場搭愛爾蘭航空 EI1034 班機抵達英國倫敦，9/13 搭荷蘭航空 KL1022 班機於阿姆斯特丹轉 KL0889 班機，再由香港轉搭華航 CI0914 班機回臺灣桃園國際機場。</p> <p>二、與會心得</p> <p>SOCC 首次在歐洲英國伯爾法斯特舉行，對於 SOC 晶片研究，國內各大學也積極投入研究，台灣電子工業的發展須由製造為導向轉型研究為導向來發展，才能在電子產業開創新的局面，因此投入電子電路與系統的研究發展應為台灣電子業轉型的關鍵。</p> <p>三、考察參觀活動(無是項活動者省略)</p> <p>無</p> <p>四、建議</p> <p>國內大學研究團隊應多了解 SOC 之研究成果，政府單位應多補助經費鼓勵大學研究成果多多發表於國際學術研討會，以提升國內研究成果。</p> <p>五、攜回資料名稱及內容</p> <p>SOCC 論文集與 USB</p> <p>六、其他</p>			

無衍生研發成果推廣資料

98 年度專題研究計畫研究成果彙整表

計畫主持人：顏金泰		計畫編號：98-2221-E-216-036-					
計畫名稱：考量溫度限制之三維晶片版面規劃與擺置系統開發							
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數（含實際已達成數）	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 （本國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	0	1	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	1	2	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 （外國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p style="text-align: center;">其他成果</p> <p>(無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	無
---	---

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

希望針對三維晶片設計，發展出滿足溫度限制並達成最少體積的擺置自動化設計系統，依據三維晶片擺置的特性差異，整個自動化設計系統在滿足溫度限制下，分成達成最少體積的三維晶片的擺置自動化設計系統。