

行政院國家科學委員會專題研究計畫 成果報告

考量不同佈局需求的單層繞線系統開發 研究成果報告(精簡版)

計畫類別：個別型
計畫編號：NSC 100-2221-E-216-011-
執行期間：100年08月01日至101年07月31日
執行單位：中華大學資訊工程學系

計畫主持人：顏金泰

計畫參與人員：碩士班研究生-兼任助理人員：鍾潤民
碩士班研究生-兼任助理人員：黃明謙
碩士班研究生-兼任助理人員：黃建榮
博士班研究生-兼任助理人員：陳志瑋

報告附件：出席國際會議研究心得報告及發表論文

公開資訊：本計畫可公開查詢

中華民國 101 年 09 月 26 日

中文摘要：在晶片、封裝與印刷電路板設計中，經常有額外的一層重分佈層或基底層來連接輸出入訊號，為了滿足在覆晶設計與印刷電路板設計中的不同條件需求，此單層繞線自動化設計系統大致分為應用於印刷電路板上之兩列匯流排連接端點的單層繞線(Single-Layer Bus Routing for Two Rows of Terminals in PCB Designs)、應用於覆晶設計上重分配層之外圍周邊輸出入端點與矩陣連接球的單層繞線(Single-Layer RDL Routing in Peripheral-I/O Flip-Chip Designs)、應用於覆晶設計上重分配層之內部任意輸出入端點與矩陣連接球的單層繞線(Single-Layer RDL Routing in Area-I/O Flip-Chip Designs)與應用於封裝晶片設計上基底層之內部兩組任意輸出入端點的單層繞線(Single-Layer Substrate Routing in SiP Designs)等四個主要部份。

在單層繞線繞線設計自動化中，首先在考量應用於印刷電路板上之兩列匯流排連接端點的單層繞線，對於給定兩列輸出入端點的匯流排，一組最少的連線集合利用雙邊單繞道的技巧來消除所有交錯現象，並完成單層繞線結果。進一步應用於覆晶設計上重分配層之外圍周邊輸出入端點與矩陣連接球的單層繞線，對於給定覆晶設計上具有外圍輸出入端點的連線，所有連線可利用單層繞線空間連接外圍輸出入端點與內部矩陣連接球。再則考量應用於覆晶設計上重分配層之內部任意輸出入端點與矩陣連接球的單層繞線，對於給定覆晶設計上具有內部輸出入端點的連線，所有連線可利用單層繞線空間連接內部輸出入端點與內部矩陣連接球。最後考量應用於封裝晶片設計上基底層之內部兩組任意輸出入端點的單層繞線，基於限制性迪勞尼三角化(Constrained Delaunary Triangulation)應用，在基底層上所有連線可利用單層繞線空間完成避免障礙物的單層繞線結果。

中文關鍵詞：單層繞線，匯流排繞線，RDL 繞線，基底層繞線

英文摘要：In chip-level, package-level and PCB-level designs, an extra layer, re-distribution layer or substrate layer, is always used to connect IO signals. To satisfy the different requirements in flip-chip and PCB designs, the single-layer routing system includes the following parts: Single-layer bus routing for two rows of terminals in PCB designs、Single-layer RDL routing in peripheral-I/O flip-chip designs、Single-layer RDL routing in area-I/O flip-chip designs and Single-layer substrate routing in SiP designs.

In single-layer bus routing for two rows of terminals in PCB designs, given a bus with two rows of IO terminals, a minimal set of crossing nets is rerouted to eliminate all the crossing conditions in the given bus by using two-sided single detoures. Furthermore, given a set of nets in a peripheral-IO flip-chip design, all the nets can be routed to connect the peripheral IO terminals to an array of bump balls for single-layer RDL routing in a peripheral-IO flip-chip design. Next, given a set of nets in an area-IO flip-chip design, all the nets can be routed to connect the IO terminals inside the routing plane to an array of bump balls for single-layer RDL routing in an area-IO flip-chip design. Finally, based on constrained Delaunary triangulation, all the nets in a substrate layer can be routed to avoid the given obstacles in a SiP design.

英文關鍵詞： Single-layer routing , Bus routing , RDL routing , Substrate routing

考量不同佈局需求的單層繞線系統開發

“Development of Single-Layer Routing System Considering Different Layout Requirements”

計畫編號：NSC100-2221-E-216-011

執行期間：100年8月1日至101年7月31日

主持人：顏金泰 中華大學資訊工程學系教授

一、中文摘要

在晶片、封裝與印刷電路板設計中，經常有額外重分佈層或基底層來連接輸出入訊號，為了滿足在覆晶設計與印刷電路板設計中的不同條件需求，此單層繞線自動化設計系統大致分為應用於印刷電路板上之兩列匯流排連接端點的單層繞線、應用於覆晶設計上重分配層之外圍周邊輸出入端點與矩陣連接球的單層繞線、應用於覆晶設計上重分配層之內部任意輸出入端點與矩陣連接球的單層繞線與應用於封裝晶片設計上基底層之內部兩組任意輸出入端點的單層繞線等四個主要部份。在單層繞線繞線設計自動化中，首先考量應用於印刷電路板上之兩列匯流排連接端點的單層繞線，對於給定兩列輸出入端點的匯流排，最少的連線集合利用雙邊單繞道的技巧來消除所有交錯現象，並完成單層繞線結果。進一步應用於覆晶設計上重分配層之外圍周邊輸出入端點與矩陣連接球的單層繞線，對於給定覆晶設計上具有外圍輸出入端點的連線，所有連線可利用單層繞線空間連接外圍輸出入端點與內部矩陣連接球。再則考量應用於覆晶設計上重分配層之內部任意輸出入端點與矩陣連接球的單層繞線，對於給定覆晶設計上具有內部輸出入端點的連線，所有連線可利用單層繞線空間連接內部輸出入端點與內部矩陣連接球。最後考量應用於封裝晶片設計上基底層之內部兩組任意輸出入端點的單層繞線，基於限制性迪勞尼三角化應用，在基底層上所有連線可利用單層繞線空間完成避免障礙物的單層繞線結果。

英文摘要

In chip-level, package-level and PCB-level designs, an extra layer, re-distribution layer or substrate layer, is always used to connect IO signals. To satisfy the different requirements in flip-chip and PCB designs, the single-layer routing system includes the following parts: Single-layer bus routing for two rows of terminals in PCB designs、Single-layer RDL routing in peripheral-IO flip-chip designs、Single-layer RDL

routing in area-IO flip-chip designs and Single-layer substrate routing in SiP designs. In single-layer bus routing for two rows of terminals in PCB designs, given a bus with two rows of IO terminals, a minimal set of crossing nets is rerouted to eliminate all the crossing conditions in the given bus by using two-sided single detours. Furthermore, given a set of nets in a peripheral-IO flip-chip design, all the nets can be routed to connect the peripheral IO terminals to an array of bump balls for single-layer RDL routing in a peripheral-IO flip-chip design. Next, given a set of nets in an area-IO flip-chip design, all the nets can be routed to connect the IO terminals inside the routing plane to an array of bump balls for single-layer RDL routing in an area-IO flip-chip design. Finally, based on constrained Delaunay triangulation, all the nets in a substrate layer can be routed to avoid the given obstacles in a SiP design.

二、計畫的緣由與目的

在科技日新月異的時代，電子產品的複雜度持續爬升，隨著製程越進步，微電子產品越做越小，晶片內部複雜度提升代表著單晶片 I/O 的接腳數漸漸變多，使得封裝晶片與 PCB 板上的連線數也驟增[1-3]，近年來因為單晶片的 I/O 接腳數持續的增加且系統複雜度的提升，隨之而來的連線的擁擠度與可繞性問題，造成晶片、封裝與 PCB 板上繞線的問題愈加困難，為了完成晶片接腳數的連接或達成單層匯流排繞線繞線的目的，往往需要額外的重分配層(Re-distribute Layer)或基底層(Substrate Layer)來完成連線的轉接，因此單層繞線的研究發展變得越來越重要。現今單層繞線的輔助設計(CAD)工具並不無法完整適用各種不同條件的連線的轉接，因此進一步發展適用於晶片、封裝與 PCB 板不同條件下的完整的單層繞線自動化系統是必要的。

對於單層匯流排繞線的議題中，已有多篇論文[4-7]探討，其中包括繞線區域的分割、避開障

礙物等等。其主要建立在繞線起點與終點兩邊的腳位順序相同的情況下，但實際上，由於晶片提供的廠商不同，腳位順序的定義會不同，兩邊的腳位順序不同的話，會發生連線相交的情況而導致繞線失敗，所以在執行匯流排繞線之前，必須先將兩邊的腳位繞道重新調整成相同的順序，接下來做匯流排繞線才不會出現相交的情形。

近年來，一個先進的覆晶封裝被提出來滿足現今VLSI中高整合密度及大量輸出入接腳需求的設計，一般而言覆晶設計方式由於訊號的電感效應減少及封裝尺寸減少等因素，已廣泛地應用到高效能的電路設計，然而在晶片上輸出入端點位置與在覆晶設計上連接球位置無法直接對應，因此需要一個額外重新分配層來重新配置輸出入端點與連接球的連線關係。一般而言輸出入端點與連接球的連線關係已經預先被建立，依照輸出入端點位置的擺置位置，可以區分為晶片外圍周邊或內部任意區域。對於輸出入端點位於晶片外圍周邊的重新分配層繞線，已經發表過一些相關研究[8-12]。

三、研究方法及成果

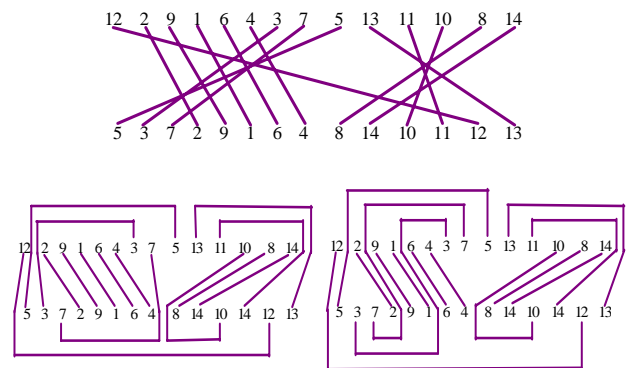
本計劃完成單層繞線自動化系統部份，為了滿足不同連線轉接條件，並且可利用較短的繞線連接長度完成不同設計環境的單層繞線，此階段單層繞線自動化設計系統大致分為應用於印刷電路板上之兩列匯流排連接端點的單層繞線、應用於覆晶設計上重分配層之外圍周邊輸出入端點與矩陣連接球的單層繞線、應用於覆晶設計上重分配層之內部任意輸出入端點與矩陣連接球的單層繞線與應用於封裝晶片設計上基底層之內部兩組任意輸出入端點的單層繞線等四個主要部份。

A. 應用於印刷電路板上之兩列匯流排連接端點的單層繞線

對於印刷電路板上的單層匯流排繞線問題，依據印刷電路板上元件擺置結果，元件之間匯流排的繞線往往需要在單繞線層完成，既然連線轉接腳位在於元件邊緣，因此需藉由兩列匯流排連接端點的單層繞線技術來完成單層匯流排連接。對於兩列匯流排連接端點的單層繞線問題分成四個主要步驟：連線編號轉換、匯流排繞線連線萃取、利用雙邊單繞道完成單層繞線和連線編號回復。

在連線編號轉換部份，給定兩列的連接端點，每列分別有 n 個連接端點，首先將下面列的最左邊連接端點重新編號為 1，左邊第二個連接端點重新編號為 2，依序類推直到最後一個連接端點

n ，進一步再將上列所對應的連接端點重新設定新的編號，即可完成所有連線編號轉換。完成連線編號轉換之後，上面列連接端點的編號若不是排序順序，則某些連線必須藉由此列連接端點後方的空間完成順序轉換的繞道來滿足單繞線層的條件要求。因此上面列連接端點的編號可視為排序之前的狀態，而下面列連接端點的編號可視為排序之後的結果。唯有在兩列連接端點編號順序皆相同的情況下，匯流排繞線才能在單繞線層完成繞線，因此針對上面列連接端點的編號執行階層式泡沫排序法做排序取出必須改變順序的連線，在排序的過程中，交換的編號可以視為需要做繞道的連線，所有交換過的編號所對應的連線即是必須做繞道的連線。根據此連線分類特性，定義出一個 (p, q) 相交的結構， p 集合的連線可以利用 S 型態雙邊單繞道的方法來完成繞道改變順序及 q 集合的連線可以利用 C 型態雙邊單繞道的方法來完成繞道改變順序。當所有必須做繞道的連線，利用雙邊單繞道的方式改變順序，並檢查有無違反繞線空間限制之後，便可回復原的連線編號，完成兩列匯流排連接端點的單層繞線。如圖一所示，兩列各 14 個連接端點的單層繞線結果。



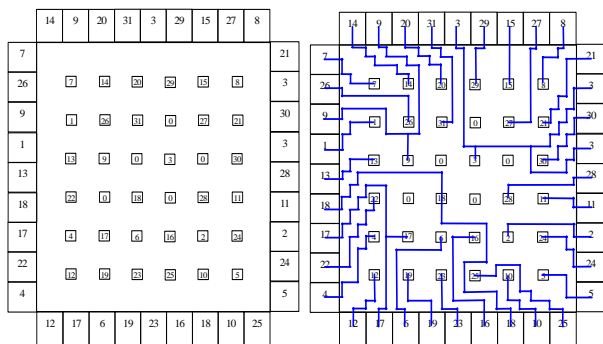
圖一匯流排分層配置結果

B. 應用於覆晶設計上重分配層之外圍周邊輸出入端點與矩陣連接球的單層繞線

對於覆晶設計上重分配層外圍周邊輸出入端點與矩陣連接球的繞線，給定覆晶設計上 m 個周圍的輸出入端點， $P = \{p_1, p_2, \dots, p_m\}$ ，和 n 個連接球陣列， $B = \{b_1, b_2, \dots, b_n\}$ ，假設一個連接球僅配對到一個輸出入端點，則定義此連線為雙接腳連線。另外假設一個連接球配對到超過一個的輸出入端點，則定義此連線為多接腳連線。一般而言，在覆晶設計上的重新分配層繞線僅允許使用單一繞線層來完成配對連線，因此在繞線層上任二條連線不允許發生交錯現象。給定介於輸出入端點集合 P 和連接球集合 B 間的連線集合 N 及任二相鄰連接球間的容量限制，覆晶設計中配對繞線問題

是在單層繞線中同時達到最多可繞連線數及最少總連線長度結果的繞線結果。基本上整個方法可以分成四個步驟：連線編號重編、全域繞線、細部繞線及連線編號回復。

任何的 k 接腳連線經由分配不同的連線編號來拆成 $k-1$ 條雙接腳連線並同時將對應的連接球給定這些重編號碼，因此配對繞線中多接腳連線均可轉換成一些雙接腳連線，進一步再以左下方的輸出入端點為起始點，以逆時鐘方向由編號 1 至編號 m 的順序對輸出入端點及其對應的連線進行重新編號。在全域繞線階段，繞線過程進一步分成三個步驟：建立繞線區域、全域線段設定及史丹爾點擺置。在建立繞線區域中，先依據覆晶設計中輸出入端點所在的四周區域，將所有輸出入端點分割成上、右、下、左等四個輸出入端點串列，最後整個重新分配層中的繞線區域則可分成四個繞線區域。對於依據輸出入端點串列所建立的繞線區域可進一步的分成二個子區域：陣列區域及環區域。陣列區域包括繞線區域與連接球陣列的交集區域，環區域則包括連接球陣列與輸出入端點間的區域，因此繞線區域中全域線段設定即是在此二區域進行線段設定。在細部繞線階段，繞線過程可以細分成三個步驟：交錯點設定、陣列區實體路徑配置及環區實體路徑配置。為了滿足單層中線段交錯的限制，對二相鄰連接球間全域線段的擺置順序可依連線編號遞增的順序去擺置。如圖二所示，完成覆晶設計上重分配層 36 條連線的單層繞線。



圖二覆晶設計上重分配層的單層繞線

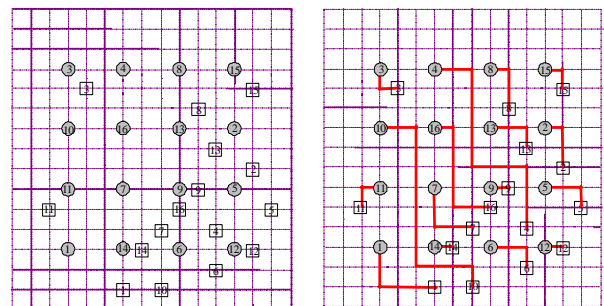
C. 應用於覆晶設計上重分配層之內部任意輸出入端點與矩陣連接球的單層繞線

對於覆晶設計上重分配層之內部任意輸出入端點與矩陣連接球的繞線，假設繞線平面有 n 個輸出入端點集合， $P=\{p_1, p_2, \dots, p_n\}$ ，和 n 個連接球矩陣集合， $B=\{b_1, b_2, \dots, b_n\}$ ，基本上每個連接球都會分配到一個輸出入端點形成一個有輸出入連線。一般來說，重新分配層繞線只允許於單層繞線層做輸出入連線的繞線動作，因此任兩條連線之

間不允許有交錯的現象，對於輸出入端點集合， P ，和連接球集合， B ，之間的輸出入連線具有相鄰連接球之間的容量限制，覆晶設計中的重新分配層繞線問題是滿足線容量的限制問題來完成所有給定輸出入連線的單層繞線。基本上整個方法可以分成五個步驟：連線編號重編、最大連線序列萃取、全域繞線、細部繞線及連線編號回復。

為了簡化重新分配層的繞線程序，所有覆晶設計中的連線號碼會轉換成遞增的方式呈現，在連線號碼重編階段，所有連接球由左至右由上而下循序地重新編號，此外輸出入端點也根據連線關係依序地重新更改編號。完成所有輸出入連線號碼重編後，單繞線層中的連接球號碼被視為帶有遞增順序的連接球序列，將兩相鄰行連接球之間的繞線區域分割成兩個獨立區域，並且展開此繞線層空間，即可將連接球矩陣所形成的繞線區域轉換成帶有遞增順序連接球的線狀繞線區域。

單繞線層之繞線平面有連接球矩陣的情況，可以將此繞線平面視為一個佈線單元的矩陣，在繞線平面中的所有連接球和四個邊界角落可以當作所有佈線單元的角落。對於一個佈線單元矩陣而言，有一組水平邊的集合和一組垂直邊長的集合存在於這些佈線單元裡面，為了能夠在單繞線層完成重新分配層的全域繞線動作，整個繞線程序分成三個步驟：繞線圖之建立，區域性連線之全域線段分配和全面性連線之全域線段分配。在細部繞線階段，繞線過程可以細分成兩個步驟：交錯點設定和實體路徑設定。為了滿足單層中線段交錯的限制，對二相鄰連接球間全域線段的擺置順序可依連線編號遞增的順序去擺置。根據最小線寬及線距規則，二相鄰連接球間的通道寬度可切成一些繞線軌道，任二相鄰連接球必須在滿足單層線段交錯限制下，進一步設定全域線段之交錯點到合適的繞線軌道上。如圖三所示，完成覆晶設計上重分配層 16 條連線的單層繞線。



圖三覆晶設計上重分配層的單層繞線

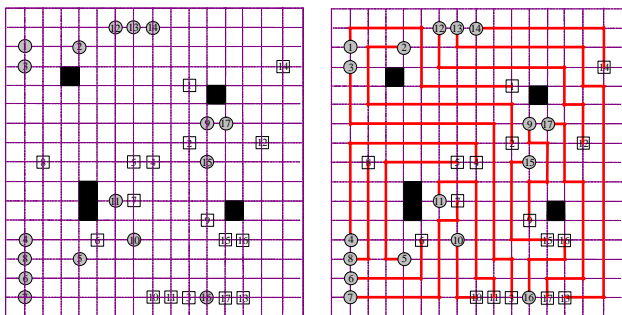
D. 應用於封裝晶片設計上基底層之內部兩組任意輸出入端點的單層繞線

對於封裝晶片設計上基底層之內部兩組任意

輸出入端點的繞線，假設繞線平面有 n 個雙輸出入端點連線集合與 m 個障礙物，其中 $S=\{s_1, s_2, \dots, s_n\}$ 表示 n 個連線的起點集合和 $T=\{t_1, t_2, \dots, t_n\}$ 表示 n 個連線的終點集合，基本上每個連線起點會連接一個連線終點。一般來說，基底層繞線只允許於單繞線層做連線的轉接動作，因此任兩條連線不允許有交錯的現象，對於 n 個雙輸出入端點連線具有 m 個障礙物的限制，封裝晶片設計上基底層繞線問題是滿足線容量與障礙物的限制問題來完成所有給定連線的單層繞線。基本上整個方法可以分成三個步驟：限制性迪勞尼三角化分割、全域繞線及細部繞線。

對於具有 n 個雙輸出入端點連線與 m 個障礙物的繞線平面，首先將所有連線起點、連線終點、障礙物角落轉折點與繞線平面的四個角落點視為端點集合，建立單層平面的限制性迪勞尼三角化分割，倘若三角形任兩邊之容許繞線量為零，則此三角形為不可繞區域，進一步與相鄰區域合併以減少分割區域的數量。

在全域繞線階段，經過限制性迪勞尼三角化之後，利用分割區域的結果，可以建立一個相鄰關係的有權重連接圖。在此相鄰關係的有權重連接圖中，可以將此在單層繞線平面上具有障礙物之多條連線的全域繞線問題轉換成多需求網路流量問題，一旦這個多需求網路流量問題有適合的解法，則所有連線相對應的分割區域流向關係即可取得，根據所有連線的分割區域流向關係，在繞線平面上具有障礙物之多條連線的全域繞線即可得到繞線結果。在細部繞線階段，繞線過程可以細分成兩個步驟：交錯點設定和實體路徑設定。為了滿足單層中線段交錯的限制，對分割區域任一邊上的全域線段的擺置順序可依相對應連線端點位置的順序去擺置。對於分割區域任一邊上繞線軌道，進一步設定已排好順序之全域線段交錯點到合適的繞線軌道上。如圖四所示，完成封裝晶片設計上 17 條連線的單層繞線。



圖四封裝晶片設計上的單層繞線

四、結論與討論

本計劃希望針對不同佈局設計需求，發展出

滿足不同連線限制的單層繞線自動化系統。本研究群的相關研究結果發表於 IEEE 會議論文 4 篇與二篇 IEEE 會議論文已經投稿中。

五、參考文獻

- [1] D. Wiens, "Printed circuit board routing at the threshold," in *White Paper*. Mentor Graphics, 2000.
- [2] L. W. Ritchey and J. Zasio, "Right the First Time, A Practical Handbook on High Speed PCB and System Design," K. J. Knack, Ed. Speeding Edge, 2003.
- [3] L. W. Ritchey, "Busses: What are they and how do they work?" in *Printed Circuit Design Magazine*, Dec. 2000.
- [4] M. M. Ozdal and M. D. F. Wong, "Algorithmic study of single-layer bus routing for high-speed boards," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 25, no. 3, pp.490-503, 2006.
- [5] M. M. Ozdal and M. D. F. Wong, "A length-matching routing algorithm for high-performance printed circuit boards," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 25, no. 12, pp.2784-2794, 2006.
- [6] T. Yan and M. D. F. Wong, "BSG-Route: A length-matching router for general topology," *IEEE International Conference on Computer-Aided Design*, pp.499-505, 2008.
- [7] T. Yan and D. F. Wong, "Untangling twisted nets for bus routing," *IEEE International Conference on Computer-Aided Design*, pp.396-400, 2007.
- [8] J. W. Fang, I. J. Lin, P. H. Yuh, Y. W. Chang, and J. H. Wang, "A routing algorithm for flip-chip design," *IEEE International Conference on Computer-Aided Design*, pp. 753-758, 2005.
- [9] J. W. Fang, C. H. Hsu and Y. W. Chang, "An integer linear programming based routing algorithm for flip-chip design," *Design Automation Conference*, pp. 606-611, 2007.
- [10] Y. Tomioka and A. Takahashi, "Monotonic parallel and orthogonal routing for single-layer ball grid array packages," *Asia South-Pacific Design Automation Conference*, pp.642-647, 2006.
- [11] J. T. Yan and Z. W. Chen, "RDL pre-assignment routing for flip-chip designs," *ACM 19th Great Lakes Symposium on VLSI*, pp.401-404, 2009.
- [12] P. W. Lee, C. W. Lin, Y. W. Chang, C. F. Shen and W. C. Tseng, "An efficient pre-assignment routing algorithm for flip-chip designs," *International Conference on Computer-Aided Design*, pp.239-244, 2009.

行政院國家科學委員會補助國內專家學者出席國際學術會議報告

100 年 10 月 20 日

報告人姓名	顏金泰	服務機構 及職稱	資訊工程學系 教授
會議 時間 地點	100/10/9-100/10/12 美國麻州阿姆斯特	本會核定 補助文號	
會議 名稱	(中文) 2011 年第二十九屆國際電機電子工程師協會國際電腦設計會議 (英文) 2011 29 nd IEEE International Conference on Computer Design		
發表 論文 題目	(中文) 藉由最大連線順序萃取方式來完成預先設定區域輸出入之 RDL 繞線 (英文) Pre-Assignment Area-IO RDL Routing via Extraction of Maximal Net Sequence		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>10/6 由桃園國際機場搭達美航空 DL276 ，DL622 與 DL1330 班機抵達美國麻州波士頓，10/8 由麻州波士頓搭火車抵達麻州阿姆斯特。10/10 早上發表論文於 Session 1.3: Recent Advances in EDA。10/13 由麻州阿姆斯特搭火車抵達紐約，10/14 由美國紐約搭達美航空 DL173 與 DL275 班機回臺灣桃園國際機場。</p> <p>二、與會心得</p> <p>ICCD 首次在美國麻州大學阿姆斯特分校舉行，對於電腦設計研究，國內各大學也積極投入研究，台灣電子工業的發展須由製造為導向轉型研究為導向來發展，才能在電子產業開創新的局面，因此投入電子電路與系統的研究發展應為台灣電子業轉型的關鍵。</p> <p>三、考察參觀活動(無是項活動者省略)</p> <p>無</p> <p>四、建議</p> <p>國內大學研究團隊應多了解電腦設計之研究成果，政府單位應多補助經費鼓勵大學研究成果多多發表於國際學術研討會，以提升國內研究成果。</p> <p>五、攜回資料名稱及內容</p> <p>ICCD 論文光碟片</p> <p>六、其他</p>			

國科會補助計畫衍生研發成果推廣資料表

日期:2012/09/26

國科會補助計畫	計畫名稱: 考量不同佈局需求的單層繞線系統開發
	計畫主持人: 顏金泰
	計畫編號: 100-2221-E-216-011- 學門領域: 積體電路及系統設計
無研發成果推廣資料	

100 年度專題研究計畫研究成果彙整表

計畫主持人：顏金泰

計畫編號：100-2221-E-216-011-

計畫名稱：考量不同佈局需求的單層繞線系統開發

成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數（含實際已達成數）	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 （本國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	4	2	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 （外國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p style="text-align: center;">其他成果</p> <p>(無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	無
---	---

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以 100 字為限）

相關研究結果發表於 IEEE 會議論文 4 篇與

二篇 IEEE 會議論文已經投稿中

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

(1) 提出滿足不同條件需求的單層繞線自動化設計系統方法，希望激勵晶片、封裝與印刷電路板設計系統整合的研究。

(2) 希望藉著對不同條件需求的單層繞線自動化設計系統的研究，能解決晶片、封裝與印刷電路板設計的繞線自動化問題，對於超大型積體電路設計自動化的發展有實值的貢獻。